

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-015382

(43)Date of publication of application : 19.01.2001

(51)Int.CI.

H01G 4/38

H01G 4/33

H01G 4/12

(21)Application number : 11-184412

(71)Applicant : KYOCERA CORP

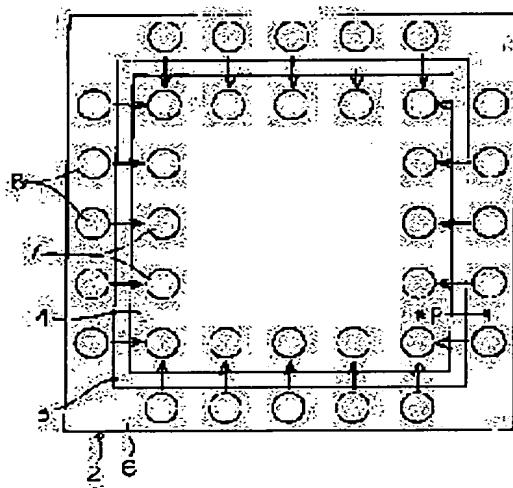
(22)Date of filing : 29.06.1999

(72)Inventor : NAGAKARI NAONORI

(54) THIN-FILM CAPACITOR**(57)Abstract:**

PROBLEM TO BE SOLVED: To obtain a thin-film capacitor which can function as a decoupling capacitor in a wide frequency domain and has a large-capacitance and low-inductance structure.

SOLUTION: A thin-film capacitor is constituted, in such a way that a lower electrode layer 2, a dielectric layer 3, and an upper electrode layer 4 are successively laminated upon the surface of an insulating substrate, and at the same time, a plurality of first external terminals 7 are provided on the edge section of the upper surface of the upper electrode layer 7, and a plurality of second external terminals 8 are provided on the annular exposed section 6 of the lower electrode layer 2 formed around the dielectric layer 3 and upper electrode layer 4 close to the first external terminals 7.

**LEGAL STATUS**

[Date of request for examination] 10.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

BEST AVAILABLE COPY

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The thin film capacitor characterized by having prepared two or more 1st external terminals in the edge on said top face of a top electrode layer, having approached said 1st external terminal and preparing two or more 2nd external terminals in the annular outcrop of said bottom electrode layer further formed in the surroundings of said dielectric layer and said top electrode layer while coming to carry out the laminating of a bottom electrode layer, a dielectric layer, and the top electrode layer one by one on the surface of the insulating substrate.

[Claim 2] The thin film capacitor according to claim 1 characterized by two or more 1st external terminals keeping predetermined spacing in the edge on the top face of a top electrode layer, and being annularly prepared in it, and for two or more 2nd external terminals keeping predetermined spacing in the annular outcrop of a bottom electrode layer, and preparing them in it annularly.

[Claim 3] The thin film capacitor according to claim 2 or 3 characterized by preparing the 1st external terminal and the four or more 2nd external terminals, respectively.

[Claim 4] It is [claim 1 characterized by the distance of the 1st external terminal and the 2nd external terminal close to this 1st external terminal being 0.45mm or less thru/or] a thin film capacitor given in either among 3.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]**

[Field of the Invention] This invention is arranged in the electrical circuit which carries out high-speed operation, concerning a thin film capacitor, and relates to the large capacity and the thin film capacitor of a low inductance with which fluctuation prevention of supply voltage is presented as an object for the bypass of a high frequency noise.

[0002]

[Description of the Prior Art] In recent years, the demand corresponding to a miniaturization, thin-shape-izing, and a RF etc. is becoming strong with the miniaturization of electronic equipment, and advanced features also at the electronic parts installed in electronic equipment.

[0003] Also in personal computer level, the clock frequency of 400MHz - 1GHz and the bus between chips also has [the clock frequency in a CPU chip] the movement remarkable in the condition of 100MHz or more toward improvement in the speed in the high-speed digital circuit of a computer with the need of processing a lot of information at a high speed especially.

[0004] On the other hand, many problems in accordance with the high-speed operation of IC circuit are problems much more serious than the miniaturization of each component. Among these, in the removal function of the RF noise which is the role of a capacitor, especially becoming important is a function reduced by supplying the energy accumulated in the capacitor in the momentary fall of the supply voltage produced when the change of a logical circuit occurs in coincidence in an instant, and it is called the so-called decoupling capacitor.

[0005] The engine performance required of this decoupling capacitor is to the current variation of the load section quicker than a clock frequency to be able to supply [how] a current quickly. Therefore, it must function certainly as a capacitor to the frequency domain in 100MHz - 1GHz.

[0006] In order to make it function certainly in this frequency domain, it is very important to have the engine performance which can supply the charge which the impedance which the decoupling capacitor component itself has was decreased also in the field of a RF, and was stored as a current required in an instant.

[0007] Resonance frequency $f_0 = 1/2\pi(ESL-C)^{1/2}$ which enlarges the own electrostatic-capacity component of a capacitor element, and makes an inductance component small at a resistance component list, or is determined with the equivalence serial inductance ESL and electrostatic capacity C in order to make the impedance of a capacitor element into min in a required frequency domain What is necessary is just to lower electrostatic capacity so that it may double with a need frequency.

[0008] As for the former technique, it is most effective to make thin first thickness of the dielectric layer **** (ed) by the electrode as mentioned above about electrostatic capacity. What is necessary is for a resistance component to be determined by the dielectric loss of a dielectric, and resistance of the polar zone, and just to consider it to be about 1 constant value, if the skin effect which becomes remarkable above several GHz about resistance of the polar zone is set aside.

[0009] There are three approaches shown below as an approach of decreasing an inductance. They are the approach the 1st approach makes current path length min, the approach of the 2nd making a current path loop structure, and making loop disconnection area min, and the approach of the 3rd distributing a current path to n pieces, and setting an effectual inductance to 1/n. These three approaches are indicated by JP,60-94716,A, JP,62-2449,B, JP,4-211191,A, etc.

[0010] Although the attempt which reduces the impedance of a component is made by inductance reduction of a capacitor element as mentioned above, the field which can be used is only near the resonance frequency determined with the electrostatic capacity and the inductance of a capacitor. the case where it is used in the frequency domain beyond this, having lowered capacity -- above-mentioned resonance frequency**-- it will become the capacitor element which functions only in an about dozens of MHz field.

[0011] The point that an impedance falls only near resonance frequency is conquered, and the means which carries out parallel connection of the capacitor element from which capacity differs as an approach of realizing the capacitor element which functions by low impedance in a large frequency domain is considered.

[0012] For example, two or more dielectric materials with which specific inductive capacity differs are arranged to juxtaposition, and the attempt which obtains the capacitor which is large capacity and is excellent in a high frequency property also occurs as indicated by JP,6-77083,A.

[0013] In the stacked type ceramic condenser, by changing an electrode surface product and a dielectric bed depth within one capacitor, parallel connection of the two capacitor elements from which capacity differs is carried out, and the attempt which has a noise absorption function discovered with single components in a large frequency domain is made as indicated by JP,8-162368,A.

[0014] Moreover, the attempt which makes a noise absorption function discover in a large frequency domain is made by forming the electrode of each class in JP,9-246098,A so that each capacity may differ, and carrying out parallel connection of each stage through an inductor component.

[0015]

[Problem(s) to be Solved by the Invention] However, by the capacitor of JP,6-77083,A, since the number of external terminal electrodes continues being one, even if it divides the capacitor of a internal structure in a flat surface, in order for an equal circuit not to be different from a single capacitor at all, it is only the juxtaposition effectiveness of the dielectric characteristics of an ingredient, and it is thought that the effectiveness on an equal circuit has not shown up.

[0016] Moreover, by the juxtaposition capacitor of JP,8-162368,A, although an equal circuit top is a parallel circuit, if the self-inductance of two capacitor elements in a chip is large, big effectiveness of the parallel connection cannot be acquired. Furthermore, with this structure, since the current of the same direction flows to two capacitor element itself, the mutual inductance between two capacitor elements cannot become large, and effectiveness of parallel connection cannot be expected.

[0017] Moreover, by the capacitor which inserts an inductor component between the juxtaposition capacitors of JP,9-246098,A, the inductance of the whole component increases and it moves against low impedance-ization. As a still more important problem, the point that the maximum point of the impedance by parallel resonance exists is got during each resonance point. Unless it stops this parallel resonance, an impedance cannot be lowered in a large frequency domain 100MHz or more.

[0018] This invention aims at offering the thin film capacitor of mass and a low inductance which may function in a broad frequency domain.

[0019]

[Means for Solving the Problem] The thin film capacitor of this invention prepares two or more 1st external terminals in the edge on said top face of a top electrode layer, approaches said 1st external terminal and prepares two or more 2nd external terminals in the annular outcrop of said bottom electrode layer further formed in the surroundings of said dielectric layer and said top electrode layer while it comes to carry out the laminating of a bottom electrode layer, a dielectric layer, and the top electrode layer one by one on the surface of an insulating substrate.

[0020] It is desirable for two or more 1st external terminals to keep predetermined spacing in the edge on the top face of a top electrode layer, and to be annularly prepared in it here, and for two or more 2nd external terminals to keep predetermined spacing in the annular outcrop of a bottom electrode layer, and to prepare them in it annularly. Moreover, it is desirable to prepare the 1st external terminal and the four or more 2nd external terminals, respectively. Furthermore, it is desirable for the distance of the 1st external terminal and the 2nd external terminal close to this 1st external terminal to be 0.45mm or less.

[0021]

[Function] Since two or more 1st external terminals were prepared in the edge on the top face of a top electrode layer, the 1st external terminal was approached and two or more 2nd external terminals were further prepared in

the annular outcrop of the surrounding bottom electrode layer of a dielectric layer and a top electrode layer in the thin film capacitor of this invention. The current inputted from two or more 2nd external terminals of the annular outcrop of a bottom electrode layer Since it flows through a bottom electrode layer and a dielectric layer for two or more 1st external terminals formed in the edge on the top face of a top electrode layer and the input current from each 2nd external terminal is certainly shunted in two or more directions in the field of a thin film capacitor, Effectiveness which carried out parallel connection of two or more thin film capacitors, without being influenced of a mutual inductance can show up, and an effectual inductance can be decreased. Thus, a shunt effect and the effectiveness of parallel connection enable it to show a low impedance property in a broad frequency domain.

[0022] Moreover, since a total inductance is determined by the number and arrangement location of the 1st external terminal and the 2nd external terminal, there is no limit by the dimension, and it is large capacity and it can obtain the thin film capacitor of a low inductance easily.

[0023] Moreover, by keeping predetermined spacing in the edge on the top face of a top electrode layer, preparing two or more 1st external terminals annularly, keeping predetermined spacing in the annular outcrop of a bottom electrode layer, and preparing two or more 2nd external terminals in it annularly Splitting of the input current from each 2nd external terminal can be certainly carried out in two or more directions, an effectual inductance can be decreased further, and it becomes possible to show a low impedance property in a still broader frequency domain.

[0024] Furthermore, an effectual inductance can be controlled to the minimum by preparing the 1st external terminal and the four or more 2nd external terminals, respectively.

[0025] Moreover, while being able to miniaturize the dimension of a thin film capacitor by setting distance of the 1st external terminal and the 2nd external terminal close to this 1st external terminal to 0.45mm or less, an effectual inductance can be controlled to the minimum.

[0026]

[Embodiment of the Invention] Drawing 1 and drawing 2 show the thin film capacitor of this invention, and on the insulating substrate 1, this thin film capacitor carries out the laminating of the bottom electrode layer 2, a dielectric layer 3, and the top electrode layer 4 one by one, and is constituted. The bottom electrode layer 2, the dielectric layer 3, and the top electrode layer 4 are made the shape of a square by each, and the die length of one side is made small in order of the bottom electrode layer 2, the dielectric layer 3, and the top electrode layer 4. That is, area of the bottom electrode layer 2, a dielectric layer 3, and the top electrode layer 4 is made small in this sequence, and if it sees from the upper part when a laminating is carried out, as shown in drawing 1, the annular outcrop 6 is formed in the surrounding bottom electrode layer 2 of a dielectric layer 3 and the top electrode layer 4.

[0027] And in the thin film capacitor of this invention, two or more 1st external terminals 7 are formed in the edge of top electrode layer 4 top face, the 1st external terminal 7 is approached and two or more 2nd external terminals 8 are formed in the annular outcrop 6 of the bottom electrode layer 2.

[0028] Two or more 1st external terminals 7 keep predetermined spacing in the edge of top electrode layer 4 top face, and are annularly prepared in it, and two or more 2nd external terminals 8 keep predetermined spacing in the annular outcrop 6 of the bottom electrode layer 2, and are annularly prepared in it.

[0029] Here, the 1st external terminal 7 is arranged at equal intervals at the annular outcrop 6 (edge) of the bottom electrode layer 2, as shown in drawing 1. In order for spacing of 1st external terminal 7 comrades to change with component size and terminal size at this time, it is not limited especially, but when mounting is taken into consideration, it is desirable that it is fixed spacing.

[0030] Moreover, as shown in drawing 1, as for the 2nd external terminal 8, it is desirable to be arranged in the location close to the 1st external terminal 7 on the top electrode layer 4, and to arrange the 2nd external terminal 8 as well as the 1st external terminal 7 at fixed spacing.

[0031] As for the 1st external terminal 7 and the 2nd external terminal 8, it is desirable to prepare four or more pieces, respectively. When the field of mounting is taken into consideration and the 1st external terminal 7 and the 2nd external terminal 8 are less than four pieces, respectively, this has the bad stability at the time of mounting to a substrate etc., and cannot secure dependability. As for the 1st external terminal 7 and the 2nd external terminal 8, from the point of controlling an inductance especially, it is desirable to prepare 12 or more pieces, respectively. In drawing 1, 16 pieces and the 20 2nd external terminals 8 are formed for the 1st external

terminal 7.

[0032] In addition, although two or more 1st external terminals 7 and 2nd external terminals 8 are formed, respectively, this is because the effectiveness that the shunt effect of an input current cannot demonstrate enough, but decreases the total inductance of a thin film capacitor is small and the thin film capacitor of a low inductance is not obtained, when the number of the 1st external terminal 7 and the 2nd external terminals 8 is one in the thin film capacitor of drawing 1 and the square configuration shown in 2.

[0033] Distance P of the 1st external terminal 7 and the 2nd external terminal 8 which approaches this 1st external terminal 7 most is set to 0.45mm or less. It is because it is in the inclination for an inductance to become large while enlarging it, if this becomes larger than 0.45mm. Distance P is considered from the field of mounting, it is desirable that it is fixed spacing, and it cannot be overemphasized that the direction made to approach as much as possible is effective at the point of reducing an inductance.

[0034] In addition, although drawing 1 explained the example in which the square-like bottom electrode layer 2, the dielectric layer 3, and the top electrode layer 4 were formed, if it is the configuration in which splitting is possible, it will not be especially limited in the four or more directions.

[0035] Moreover, as shown in drawing 2, the protective coat layer 9 is formed so that the whole thin film capacitor may be covered, namely, so that the exposure of the bottom electrode layer 2, a dielectric layer 3, and the top electrode layer 4 may be covered. The protective coat layer 9 is formed in order to secure the insulation between the 2nd external terminal 8 and the 1st external terminal 7. In addition, in drawing 1 $R > 1$, in order to make an understanding easy, the publication of the protective coat layer 9 was omitted.

[0036] The beer hall for taking out the electric signal from the bottom electrode layer 2 and the top electrode layer 4 is formed in the protective coat layer 9, the 1st external terminal 7 and the 2nd external terminal 8 will be formed in the interior of these beer halls, respectively, these 1st external terminals 7 and the 2nd external terminal 8 will be connected to the electrode formed in the substrate, and the thin film capacitor of this invention will be carried in a substrate.

[0037] As an insulating substrate 1 used for this invention, it is an alumina, sapphire, nitriding aluminum, a MgO single crystal, and SrTiO₃. It is not chosen from a single crystal, scaling silicon, glass, a quartz, etc., and is not especially limited.

[0038] Moreover, as an electrode layer ingredient, platinum (Pt), gold (Au), silver (Ag), palladium (Pd), Cu of low resistance, nickel, etc. are suitably usable, and especially if reactivity with a dielectric layer is a small ingredient, it will not be limited, but if formation by technique, such as screen-stencil and a spatter, is possible, it is good.

[0039] Moreover, if formation with well-known techniques, such as screen-stencil of the paste of a solder bump, Ag-Pd, etc. which are formed with a solder ball or soldering paste, nickel-solder plating, and nickel-Sn plating, is possible for the 1st external terminal 7 and the 2nd external terminal 8, they are good.

[0040] Furthermore, a dielectric layer ingredient is the dielectric which consists of a perovskite mold oxide crystal containing Pb, Mg, and Nb be [what is necessary / just although it has a high dielectric constant in a RF field], the other PZT and PLZT, BaTiO₃, SrTiO₃, and Ta₂O₅. Other metals are not added, or you may be the permuted compound and it is not especially limited to these. Moreover, in order that the thickness of a dielectric layer may secure a high capacity and high insulation in a thin film type case, 0.4-0.8 micrometers is especially desirable 0.3-1.0 micrometers.

[0041] In the thin film capacitor constituted as mentioned above, the current first inputted through the bottom electrode layer 2 from the 2nd external terminal 8 flows for the approaching 1st external terminal 7, as the arrow head of drawing 1 showed. At this time, since the 1st external terminal 7 and the 2nd external terminal 8 are equally arranged in the field of a thin film capacitor, the input current divided in the four directions is certainly shunted in the four or more directions in the field of a thin film capacitor, without being influenced of a mutual inductance. For this reason, effectiveness which carried out parallel connection of the four or more capacitors can show up, and an effectual inductance can be decreased.

[0042] And the thin film capacitor in which a low impedance property is shown in a broad frequency domain can be obtained by fully demonstrating a shunt effect and the parallel connection effectiveness.

[0043]

[Example] Formation of each electrode layer used the RF magnetron sputtering method. First, Ar gas was introduced in the process chamber as gas for spatters, and the pressure was maintained to 6.7Pa with evacuation.

The substrate electrode holder was moved to the target location of the ingredient kind which forms membranes at the time of a spatter, and the distance between substrate-targets was fixed to 60mm.

[0044] Next, between the substrate electrode holder and the target, the high-frequency voltage of 13.56MHz was impressed by the external RF generator, by the magnetron field formed with the permanent magnet installed in the target tooth back, the plasma of high density was made to generate near the target, and the spatter on the front face of a target was performed.

[0045] In this example, it was impressed only by the target of the maximum contiguity in a substrate, and the plasma was generated. The substrate electrode holder has the heating device at a heater, and the substrate temperature under spatter membrane formation controlled it to become fixed. Moreover, the metal mask with a thickness of 0.1mm is installed in the target side of the substrate installed in the substrate electrode holder, and it considered as the structure which a required mask can set to a substrate membrane formation side according to a membrane formation pattern.

[0046] All dielectric layers were produced with the sol gel process. That is, weighing capacity of an acetic acid Mg and the Nb ethoxide was carried out by the mole ratio of 1:2, reflux actuation (it is 6 hours at about 124 degrees C) was performed in 1,3-propanediol, and the MgNb compound alkoxide solution ($Mg=5.0\text{mmol}$, $Nb=10.0\text{mmol}$, 1,3-propanediol 100mmol) was compounded. Next, add lead acetate (three hydrates) 15mmol in this MgNb compound alkoxide solution, and it is made to dissolve at 60 degrees C, and is $Pb(Mg1 / 3 Nb 2/3) O_3$. The precursor (PMN) solution was compounded.

[0047] And with the mask pattern of a square-like bottom electrode layer, on the substrate of the alumina with a thickness of 0.25mm with which Au system film of 0.3-micrometer thickness was formed, the spreading solution was applied by the spin coater, after making it dry, it heat-treated for 1 minute at about 400 degrees C, and the gel film was produced.

[0048] After repeating actuation of spreading-heat treatment of a spreading solution, baking for 2 minutes (inside of atmospheric air) was performed at about 820 degrees C, and the PMN thin film of 0.7 micrometers of thickness was obtained. When the perovskite yield was calculated from the X diffraction result of the obtained thin film, it was about 95%, respectively. Then, the photoresist process performed patterning of a dielectric layer so that a dielectric layer might be formed inside a bottom electrode layer.

[0049] The spatter vacuum evaporationo of the Au system electrode was carried out with the mask pattern so that a top electrode layer might be formed in the inside on this front face of a dielectric layer.

[0050] Moreover, the sample from which the distance P between external terminals differs in the number list of terminal electrodes was also produced. The protective coat layer which has a beer hall corresponding to each component was formed after each component formation using the optical photopolymer, in the beer hall, by screen-stencil of soldering paste, after printing soldering paste, the solder bump with a diameter of 0.1mm was formed by reflow processing, and the thin film capacitor as shown at drawing 3 which has the 1st external terminal and the 2nd external terminal was obtained.

[0051] Electrostatic capacity and an inductance were measured for the 1MHz - 1.8GHz impedance characteristic of the produced thin film capacitor using the impedance analyzer (HP4291made from Hewlett Packard A), and the microwave probe (pico probe company make). The result is shown in Table 1. In addition, it is a thin film capacitor as one piece, two pieces, and the thin film capacitor that it has 16 pieces show the 1st external terminal and the three 2nd external terminals [four / 12] to drawing 3 (a), (b), (c), (d), (e), and (f) in Table 1.

[0052]

[Table 1]

外部端子間距離 P (mm)	第1外部端子、第2外部端子数 に対するインダクタンス,(pH)					
	1個	2個	3個	4個	12個	16個
0.20	134	60	50	20	8	5
0.30	170	76	65	25	11	7
0.45	220	98	78	33	14	9

[0053] from this table 1, the distance P between external terminals arranges the 1st external terminal and the two or more numbers of the 2nd external terminals in a thin film capacitor 0.45mm or less -- all -- it says inductance 100pH or less -- low -- an inductance thin film capacitor is producible.

[0054] In addition, the 1st external terminal and the 16 2nd external terminals were formed in drawing 4 (a), and the impedance characteristic of the thin film capacitor shown in drawing 3 (f) whose distance P between external terminals is 0.2mm was shown. By this sample, it turns out that it has a low impedance characteristic in a large frequency domain. On the other hand, the 1st external terminal and the one 2nd external terminal were formed in drawing 4 (b), and the impedance characteristic of the thin film capacitor shown in drawing 3 (a) whose distance P between external terminals is 0.2mm was shown. In addition, the electrostatic capacity in Table 1 is the value of 1MHz, and the value which calculated the inductance from $L = 1/(2\pi f_0)^2 \times C$.

[0055]

[Effect of the Invention] In the thin film capacitor of this invention, an input current is certainly shunted in two or more directions in the field of a thin film capacitor by the current first inputted through the bottom electrode layer from two or more 2nd external terminals flowing for two or more 2nd external terminals which approached, for example, arranging equally the 1st external terminal and the 2nd external terminal in the field of a thin film capacitor, without being influenced of a mutual inductance. For this reason, effectiveness which carried out parallel connection of two or more thin film capacitors can show up, and an effectual inductance can be decreased. And the thin film capacitor in which a low impedance property is shown in a broad frequency domain can be obtained by fully demonstrating a shunt effect and the parallel connection effectiveness.

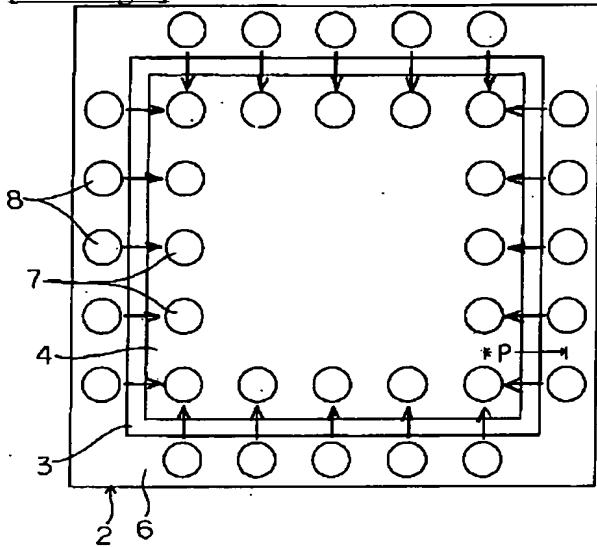
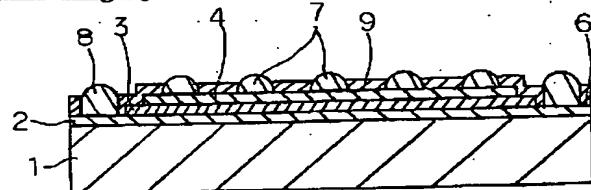
[Translation done.]

*** NOTICES ***

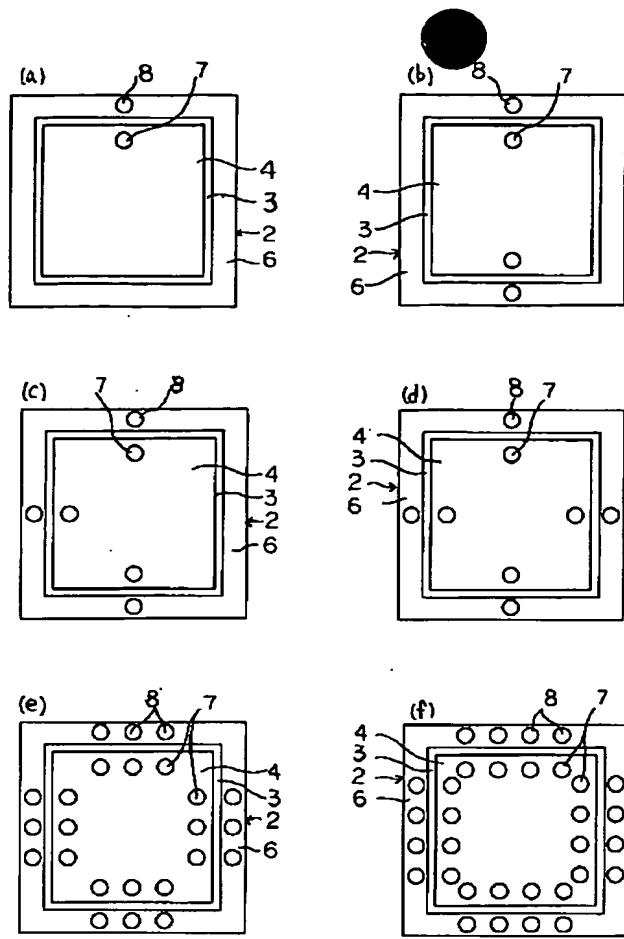
JPO and NCIPI are not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

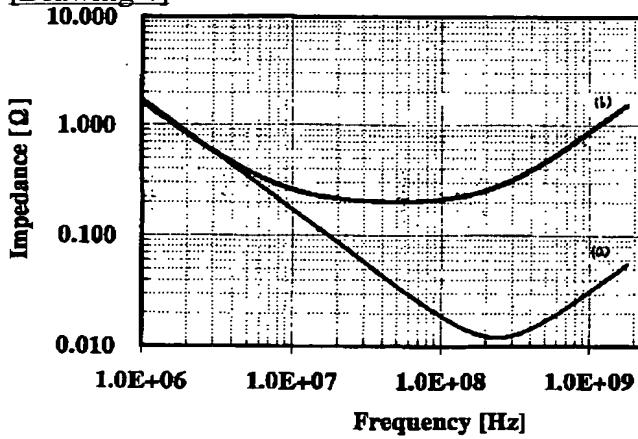
DRAWINGS

[Drawing 1]**[Drawing 2]****[Drawing 3]**

BEST AVAILABLE COPY



[Drawing 4]



[Translation done.]

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-015382
 (43)Date of publication of application : 19.01.2001

(51)Int.Cl. H01G 4/38
 H01G 4/33
 H01G 4/12

(21)Application number : 11-184412
 (22)Date of filing : 29.06.1999

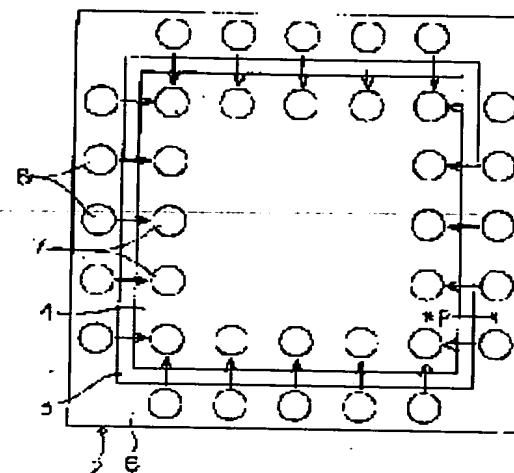
(71)Applicant : KYOCERA CORP
 (72)Inventor : NAGAKARI NAONORI

(54) THIN-FILM CAPACITOR

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a thin-film capacitor which can function as a decoupling capacitor in a wide frequency domain and has a large-capacitance and low-inductance structure.

SOLUTION: A thin-film capacitor is constituted, in such a way that a lower electrode layer 2, a dielectric layer 3, and an upper electrode layer 4 are successively laminated upon the surface of an insulating substrate, and at the same time, a plurality of first external terminals 7 are provided on the edge section of the upper surface of the upper electrode layer 7, and a plurality of second external terminals 8 are provided on the annular exposed section 6 of the lower electrode layer 2 formed around the dielectric layer 3 and upper electrode layer 4 close to the first external terminals 7.



LEGAL STATUS

- [Date of request for examination] 10.03.2003
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-15382

(P2001-15382A)

(43)公開日 平成13年1月19日(2001.1.19)

(51)Int.Cl.⁷

H 01 G 4/38
4/33
4/12

識別記号

3 5 2

F I

H 01 G 4/38
4/12
4/06

テマコート(参考)

A 5 E 0 0 1
3 5 2 5 E 0 8 2
1 0 2

審査請求 未請求 請求項の数4 OL (全7頁)

(21)出願番号 特願平11-184412

(22)出願日 平成11年6月29日(1999.6.29)

(71)出願人 000006633

京セラ株式会社
京都府京都市伏見区竹田鳥羽殿町6番地

(72)発明者 永坂 尚謙

鹿児島県国分市山下町1番4号 京セラ株
式会社総合研究所内

Fターム(参考) 5E001 AB06 AE00 AF03

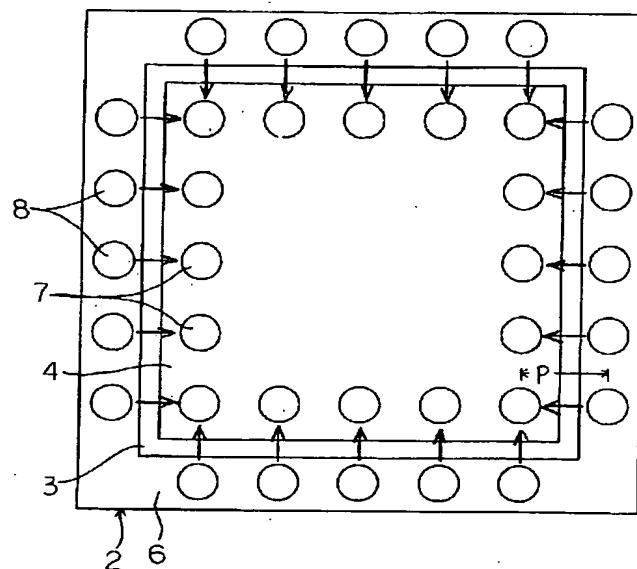
5E082 AB03 BB02 BC14 EE05 EE23
EE37 FG03 FG26 FG41 FG54
GG01 GG11 GG28 JJ06 JJ15
JJ23 JJ27 KK01 MM24 PP08
PP09

(54)【発明の名称】薄膜コンデンサ

(57)【要約】

【課題】幅広い周波数領域でデカップリングコンデンサとして機能し得る大容量かつ低インダクタンス構造を有する薄膜コンデンサを提供する。

【解決手段】絶縁基板1の表面に、下側電極層2、誘電体層3、上側電極層4を順次積層してなるとともに、上側電極層4上面の縁部に複数の第1外部端子7を設け、さらに誘電体層3および上側電極層4の回りに形成された下側電極層2の環状露出部6に、第1外部端子7に近接して複数の第2外部端子8を設けた。



【特許請求の範囲】

【請求項 1】 絶縁基板の表面に、下側電極層、誘電体層、上側電極層を順次積層してなるとともに、前記上側電極層上面の縁部に複数の第 1 外部端子を設け、さらに前記誘電体層および前記上側電極層の回りに形成された前記下側電極層の環状露出部に、前記第 1 外部端子に近接して複数の第 2 外部端子を設けたことを特徴とする薄膜コンデンサ。

【請求項 2】 複数の第 1 外部端子が上側電極層上面の縁部に所定間隔を置いて環状に設けられており、複数の第 2 外部端子が下側電極層の環状露出部に所定間隔を置いて環状に設けられていることを特徴とする請求項 1 記載の薄膜コンデンサ。

【請求項 3】 第 1 外部端子および第 2 外部端子がそれぞれ 4 個以上設けられていることを特徴とする請求項 2 または 3 記載の薄膜コンデンサ。

【請求項 4】 第 1 外部端子と、該第 1 外部端子に近接する第 2 外部端子との距離が 0.45 mm 以下であることを特徴とする請求項 1 乃至 3 のうちいずれかに記載の薄膜コンデンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は薄膜コンデンサに関し、例えば、高速動作する電気回路に配設され、高周波ノイズのバイパス用として、もしくは電源電圧の変動防止用に供される、大容量、低インダクタンスの薄膜コンデンサに関するものである。

【0002】

【従来技術】 近年、電子機器の小型化、高機能化に伴い、電子機器内に設置される電子部品にも小型化、薄型化、高周波対応などの要求が強くなっている。

【0003】 特に、大量の情報を高速に処理する必要のあるコンピュータの高速デジタル回路では、パソコンコンピュータレベルにおいても、CPU チップ内のクロック周波数は 400 MHz ~ 1 GHz、チップ間バスのクロック周波数も 100 MHz 以上という具合に高速化の動きが顕著である。

【0004】 一方、IC 回路の高速動作に伴う諸問題は各素子の小型化よりも一層深刻な問題である。このうち、コンデンサの役割である高周波ノイズの除去機能において、特に重要なのは、論理回路の切り替えが同時に発生したときに生ずる電源電圧の瞬間的な低下をコンデンサに蓄積されたエネルギーを瞬時に供給することにより低減する機能であり、いわゆるデカップリングコンデンサと称されるものである。

【0005】 このデカップリングコンデンサに要求される性能は、クロック周波数よりも速い負荷部の電流変動に対して、いかにすばやく電流を供給できるかにある。従って、100 MHz ~ 1 GHz における周波数領域に対してコンデンサとして確実に機能しなければならぬ。

い。

【0006】 この周波数領域で確実に機能させるためには、デカップリングコンデンサ自身の持つインピーダンスを高周波の領域においても減少させ、貯えられた電荷を瞬時に必要な電流として供給できる性能を有することが非常に重要である。

【0007】 必要な周波数領域でコンデンサ自身のインピーダンスを最小にするためには、コンデンサ自身の静電容量成分を大きくし、抵抗成分並びにインダクタンス成分を小さくするか、等価直列インダクタンス ESL と静電容量 C とで決定される共振周波数 $f_0 = 1/\sqrt{ESL \cdot C}$ を必要周波数に合わせるように静電容量を下げればよい。

【0008】 前者の手法は、まず静電容量に関しては、上述したように電極に狭持された誘電体層の厚みを薄くすることがもっとも有効である。抵抗成分は誘電体の誘電損失および電極部の抵抗により決定され、電極部の抵抗については数 GHz 以上で顕著になる表皮効果を別にすれば、ほぼ一定値と考えればよい。

【0009】 インダクタンスを減少させる方法としては以下に示す 3 つの方法がある。第 1 の方法は電流経路の長さを最小にする方法、第 2 は電流経路をループ構造としループ断面積を最小にする方法、第 3 は電流経路を n 個に分配して実効的なインダクタンスを $1/n$ にする方法である。これらの 3 つの方法は、特開昭 60-94716 号公報、特公昭 62-2449 号公報、特開平 4-211191 号公報等に開示されている。

【0010】 上記のようにコンデンサのインダクタンス低減により、素子のインピーダンスを低減させる試みはなされているが、使用できる領域はコンデンサの静電容量とインダクタンスで決定される共振周波数付近のみである。これ以上の周波数領域で容量を下げて使用した場合、上記共振周波数数十 MHz 程度の領域でしか機能しないコンデンサ素子になってしまう。

【0011】 共振周波数付近でしかインピーダンスが下がらない点を克服し、広い周波数領域において低インピーダンスで機能するコンデンサ素子を実現する方法としては、容量の異なるコンデンサ素子を並列接続する手段が考えられている。

【0012】 例えば、特開平 6-77083 号公報で開示されているように、比誘電率の異なる複数の誘電体材料を並列に配列し、大容量でかつ高周波特性に優れるコンデンサを得る試みもある。

【0013】 積層セラミックコンデンサにおいては、特開平 8-162368 号公報に記載されているように、1 つのコンデンサ内で電極面積および誘電体層厚みを変えることにより、容量の異なる 2 つのコンデンサ素子を並列接続し、単一の部品で広い周波数領域でノイズ吸収機能を発現される試みがなされている。

【0014】 また、特開平 9-246098 号公報に

は、各容量が異なるように各層の電極を形成し、各段をインダクタ素子を介して並列接続することにより、広い周波数領域でノイズ吸収機能を発現させる試みがなされている。

【0015】

【発明が解決しようとする課題】しかしながら、特開平6-77083号公報のコンデンサでは、外部端子電極が1対のままであったため、内部構造のコンデンサを平面内で分割しても、等価回路は単一のコンデンサと何ら変わらないため、材料の誘電特性の並列効果のみで、等価回路上の効果は現れていないと考えられる。

【0016】また、特開平8-162368号公報の並列コンデンサでは、等価回路上は並列回路であるが、チップ内の2つのコンデンサ素子の自己インダクタンスが大きいと、その並列接続の大きな効果を得ることができない。さらに、この構造では2つのコンデンサ素子自身には同一方向の電流が流れてしまうため、2つのコンデンサ素子間の相互インダクタンスが大きくなり、並列接続の効果を期待することはできない。

【0017】また、特開平9-246098号公報の並列コンデンサの間にインダクタ素子を挿入するコンデンサでは、素子全体のインダクタンスが増大してしまい低インピーダンス化に逆行する。さらに重要な問題として、各共振点間には並列共振によるインピーダンスの極大点が存在してしまう点が上げられる。この並列共振を抑えないと100MHz以上の広い周波数領域でインピーダンスを下げるることはできない。

【0018】本発明は、幅広い周波数領域で機能し得る大容量でかつ低インダクタンスの薄膜コンデンサを提供することを目的とする。

【0019】

【課題を解決するための手段】本発明の薄膜コンデンサは、絶縁基板の表面に、下側電極層、誘電体層、上側電極層を順次積層してなるとともに、前記上側電極層上面の縁部に複数の第1外部端子を設け、さらに前記誘電体層および前記上側電極層の回りに形成された前記下側電極層の環状露出部に、前記第1外部端子に近接して複数の第2外部端子を設けたものである。

【0020】ここで、複数の第1外部端子が上側電極層上面の縁部に所定間隔を置いて環状に設けられており、複数の第2外部端子が下側電極層の環状露出部に所定間隔を置いて環状に設けられていることが望ましい。また、第1外部端子および第2外部端子がそれぞれ4個以上設けられていることが望ましい。さらに、第1外部端子と、該第1外部端子に近接する第2外部端子との距離が0.45mm以下であることが望ましい。

【0021】

【作用】本発明の薄膜コンデンサでは、上側電極層上面の縁部に複数の第1外部端子を設け、さらに誘電体層および上側電極層の回りの下側電極層の環状露出部に、第

1外部端子に近接して複数の第2外部端子を設けたので、下側電極層の環状露出部の複数の第2外部端子から入力された電流は、下側電極層、誘電体層を介して、上側電極層上面の縁部に形成された複数の第1外部端子に流れ、個々の第2外部端子からの入力電流は薄膜コンデンサの面内で複数の方向に確実に分流されるため、相互インダクタンスの影響を受けずに複数個の薄膜コンデンサを並列接続したような効果が現れ、実効的なインダクタンスを減少させることができる。このように分流効果と並列接続の効果によって、幅広い周波数領域で低インピーダンス特性を示すことができる。

【0022】また、全インダクタンスが第1外部端子と第2外部端子の数と配置位置によって決定されるので、外形寸法による制限はなく、大容量で、かつ低インダクタンスの薄膜コンデンサを容易に得ることができる。

【0023】また、複数の第1外部端子を上側電極層上面の縁部に所定間隔を置いて環状に設け、複数の第2外部端子を下側電極層の環状露出部に所定間隔を置いて環状に設けることにより、個々の第2外部端子からの入力電流を複数の方向に確実に分流することができ、実効的なインダクタンスをさらに減少させることができ、さらに幅広い周波数領域で低インピーダンス特性を示すことができる。

【0024】さらに、第1外部端子および第2外部端子をそれぞれ4個以上設けることにより、実効的なインダクタンスを最小限に抑制することができる。

【0025】また、第1外部端子と、該第1外部端子に近接する第2外部端子との距離を0.45mm以下とすることにより、薄膜コンデンサの寸法を小型化できるとともに、実効的なインダクタンスを最小限に抑制することができる。

【0026】

【発明の実施の形態】図1及び図2は本発明の薄膜コンデンサを示すもので、この薄膜コンデンサは、絶縁基板1上に、下側電極層2、誘電体層3、上側電極層4を順次積層して構成されている。下側電極層2、誘電体層3、上側電極層4はいずれも正方形とされており、その一辺の長さは、下側電極層2、誘電体層3、上側電極層4の順で小さくされている。即ち、下側電極層2、誘電体層3、上側電極層4の面積は、この順序で小さくされており、積層した場合には、上方から見ると、図1に示したように、誘電体層3および上側電極層4の回りの下側電極層2には、環状露出部6が形成されている。

【0027】そして、本発明の薄膜コンデンサでは、上側電極層4上面の縁部には複数の第1外部端子7が設けられ、下側電極層2の環状露出部6には、第1外部端子7に近接して複数の第2外部端子8が設けられている。

【0028】複数の第1外部端子7は上側電極層4上面の縁部に所定間隔を置いて環状に設けられており、複数の第2外部端子8が下側電極層2の環状露出部6に所定

間隔を置いて環状に設けられている。

【0029】ここで、第1外部端子7は、図1に示したように、下側電極層2の環状露出部6（縁部）に等間隔で配置されている。この時、第1外部端子7同士の間隔は、素子サイズ、端子サイズによって変わるために、特に限定されないが、実装を考慮すると一定の間隔であることが望ましい。

【0030】また、第2外部端子8は、図1に示したように、上側電極層4上の第1外部端子7に近接した位置に配置されており、第2外部端子8も第1外部端子7と同様に一定間隔で配置されることが望ましい。

【0031】第1外部端子7および第2外部端子8はそれぞれ4個以上設けられていることが望ましい。これは、実装の面を考慮すると、第1外部端子7および第2外部端子8がそれぞれ4個未満の場合は、基板等への実装時の安定性が悪く、信頼性を確保することができない。特には、インダクタンスを抑制するという点からは、第1外部端子7および第2外部端子8はそれぞれ12個以上設けられていることが望ましい。図1では第1外部端子7が16個、第2外部端子8が20個形成されている。

【0032】尚、第1外部端子7および第2外部端子8はそれぞれ複数設けられているが、これは、図1、2に示した正方形状の薄膜コンデンサにおいて、第1外部端子7および第2外部端子8が1個の場合には、入力電流の分流効果が十分発揮できず、薄膜コンデンサの全インダクタンスを減少させる効果が小さく、低インダクタンスの薄膜コンデンサが得られないからである。

【0033】第1外部端子7と、該第1外部端子7に最も近接する第2外部端子8との距離Pが0.45mm以下とされている。これは0.45mmよりも大きくなると大型化するとともに、インダクタンスが大きくなる傾向にあるからである。距離Pは、実装の面から考えて一定間隔であることが望ましく、かつできる限り近接させる方がインダクタンスを低下させる点で有効であることは言うまでもない。

【0034】尚、図1では、正方形状の下側電極層2、誘電体層3、上側電極層4を形成した例について説明したが、4方向以上に分流可能な形状であれば、特に限定されない。

【0035】また、図2に示すように、薄膜コンデンサ全体を覆うように、即ち、下側電極層2、誘電体層3、上側電極層4の露出面を被覆するように保護膜層9が形成されている。保護膜層9は、第2外部端子8と第1外部端子7間の絶縁性を確保するため形成される。尚、図1においては、理解を容易にするため保護膜層9の記載は省略した。

【0036】保護膜層9には、下側電極層2および上側電極層4からの電気的な信号を取り出すためのビアホールが形成されており、これらビアホール内部には第1外

部端子7、第2外部端子8がそれぞれ形成され、これらの第1外部端子7、第2外部端子8が、基板に形成された電極に接続され、本発明の薄膜コンデンサが基板に搭載されることになる。

【0037】本発明に用いられる絶縁基板1としてはアルミナ、サファイア、窒化アルミ、MgO単結晶、SrTiO₃ 単結晶、表面酸化シリコン、ガラス及び石英等から選択されるもので特に限定されない。

【0038】また、電極層材料としては、白金（Pt）、金（Au）、銀（Ag）、パラジウム（Pd）、低抵抗のCu、Ni等が好適に使用可能であり、誘電体層との反応性が小さい材料であれば特に限定されず、スクリーン印刷、スパッタ等の手法で形成可能であればよい。

【0039】また、第1外部端子7と第2外部端子8は、半田ボール若しくは半田ペースト等により形成される半田パンプやAg-Pd等のペーストのスクリーン印刷、Ni-半田メッキ、Ni-Snメッキ等の公知の技術で形成可能であればよい。

【0040】さらに、誘電体層材料は、高周波領域において高い誘電率を有するものであれば良いが、Pb、Mg、Nbを含むペロブスカイト型酸化物結晶からなる誘電体やそれ以外のPZT、PLZT、BaTiO₃、SrTiO₃、Ta₂O₅やこれらに他の金属を添加したり、置換した化合物であってもよく、特に限定されるものではない。また、薄膜タイプの場合、誘電体層の膜厚は高い容量と絶縁性を確保するため、0.3~1.0μm、特に0.4~0.8μmが望ましい。

【0041】以上のように構成された薄膜コンデンサでは、まず第2外部端子8から下側電極層2を介して入力された電流は、図1の矢印で示したように、近接する第1外部端子7に流れる。この時、第1外部端子7および第2外部端子8は、薄膜コンデンサの面内で均等に配置されているため、4方向に分割された入力電流は相互インダクタンスの影響を受けずに薄膜コンデンサの面内で4方向以上に確実に分流される。このため、4つ以上のコンデンサを並列接続したような効果が現れ、実効的なインダクタンスを減少させることができる。

【0042】そして、分流効果と並列接続効果を充分に発揮することによって、幅広い周波数領域で低インピーダンス特性を示す薄膜コンデンサを得ることができる。

【0043】

【実施例】各電極層の形成は高周波マグネットロンスパッタ法を用いた。まず、スパッタ用ガスとしてプロセスチャンバー内にArガスを導入し、真空排気により圧力は6.7Paに維持した。スパッタ時には成膜する材料種のターゲット位置に基板ホルダーを移動させ、基板-ターゲット間距離は60mmに固定した。

【0044】次に、基板ホルダーとターゲット間には外部の高周波電源により13.56MHzの高周波電圧を

印加し、ターゲット背面に設置された永久磁石により形成されたマグネットロン磁界により、ターゲット近傍に高密度のプラズマを生成させてターゲット表面のスパッタを行った。

【0045】本実施例では、基板に最近接のターゲットにのみ印加してプラズマを生成した。基板ホルダーはヒータによる加熱機構を有しており、スパッタ成膜中の基板温度は一定となるよう制御した。また、基板ホルダーに設置された基板のターゲット側には厚さ0.1mmの金属マスクが設置されており、成膜パターンに応じて必要なマスクが基板成膜面にセットできる構造とした。

【0046】誘電体層は全てゾルゲル法にて作製した。即ち、酢酸MgとNbエトキシドを1:2のモル比で秤量し、1,3-プロパンジオール中で還流操作（約124°Cで6時間）を行い、MgNb複合アルコキシド溶液（Mg=5.0mmol、Nb=10.0mmol、1,3-プロパンジオール100mmol）を合成した。次にこのMgNb複合アルコキシド溶液に酢酸鉛（三水和物）15mmolを添加し、60°Cで溶解させ、Pb²⁺(Mg_{1/3}Nb_{2/3})O₃ (PMN) 前駆体溶液を合成した。

【0047】そして、正方形状の下側電極層のマスクパターンにより、0.3μm厚みのAu系膜が形成された厚さ0.25mmのアルミナの基板上に、塗布溶液をスピンドルで塗布し、乾燥させた後、約400°Cで熱処理を1分間行い、ゲル膜を作製した。

【0048】塗布溶液の塗布-熱処理の操作を繰り返した後、約820°Cで2分間（大気中）の焼成を行い、膜厚0.7μmのPMN薄膜を得た。得られた薄膜のX線回折結果より、ペロブスカイト生成率を計算するとそれぞれ約95%であった。その後、フォトレジスト工程により、誘電体層が下側電極層の内側に形成されるよう誘電体層のパターニングを行った。

【0049】この誘電体層表面の内側に上側電極層が形成されるよう、マスクパターンによってAu系電極をスパッタ蒸着した。

【0050】また、端子電極数並びに外部端子間の距離Pの異なる試料も作製した。それぞれの素子形成後、光感光性樹脂を用い、それぞれの素子に対応したビアホールを有する保護膜層を形成し、そのビアホール内に、半田ペーストのスクリーン印刷により、半田ペーストを印刷した後、リフロー処理によって、直径0.1mmの半田バンプを形成し、第1外部端子および第2外部端子を有する図3に示すような薄膜コンデンサを得た。

【0051】作製した薄膜コンデンサの1MHz～1.8GHzでのインピーダンス特性をインピーダンスアナライザ（ヒューレットパッカード社製HP4291A）とマイクロ波プローブ（ピコプローブ社製）を用いて、静電容量およびインダクタンスを測定した。その結果を表1に示す。尚、表1において第1外部端子、第2

外部端子を1個、2個、3個、4個、12個、16個有する薄膜コンデンサとは、図3(a)、(b)、(c)、(d)、(e)、(f)に示すような薄膜コンデンサである。

【0052】

【表1】

外部端子間距離P (mm)	第1外部端子、第2外部端子数 に対するインダクタンス(pH)					
	1個	2個	3個	4個	12個	16個
0.20	134	60	50	20	8	5
0.30	170	76	65	25	11	7
0.45	220	98	78	33	14	9

【0053】この表1から、外部端子間距離Pが0.45mm以下の薄膜コンデンサにおいて、第1外部端子および第2外部端子数を2個以上配置することによって、全インダクタンス100pH以下という低インダクタンスな薄膜コンデンサを作製することができる。

【0054】尚、図4(a)に、第1外部端子、第2外部端子が16個形成され、外部端子間距離Pが0.2mmの図3(f)に示す薄膜コンデンサのインピーダンス特性を示した。この試料では、広い周波数領域で低いインピーダンス特性を有することが判る。一方、図4(b)に、第1外部端子、第2外部端子が1個形成され、外部端子間距離Pが0.2mmの図3(a)に示す薄膜コンデンサのインピーダンス特性を示した。尚、表1における静電容量は1MHzの値、インダクタンスはL=1/(2πf₀)²×Cから計算した値である。

【0055】

【発明の効果】本発明の薄膜コンデンサでは、まず複数個の第2外部端子から下側電極層を介して入力された電流は、近接した複数個の第2外部端子に流れ、例えば、第1外部端子および第2外部端子を薄膜コンデンサの面内で均等に配置することにより、入力電流は相互インダクタンスの影響を受けずに薄膜コンデンサの面内で複数の方向に確実に分流される。このため、複数個の薄膜コンデンサを並列接続したような効果が現れ、実効的なインダクタンスを減少させることができる。そして、分流効果と並列接続効果を充分に発揮することによって、幅広い周波数領域で低インピーダンス特性を示す薄膜コンデンサを得ることができる。

【図面の簡単な説明】

【図1】本発明の薄膜コンデンサの平面図を示すものである。

【図2】本発明の薄膜コンデンサの断面図である。

【図3】実施例で作製した薄膜コンデンサの外部端子の配置を示す平面図である。

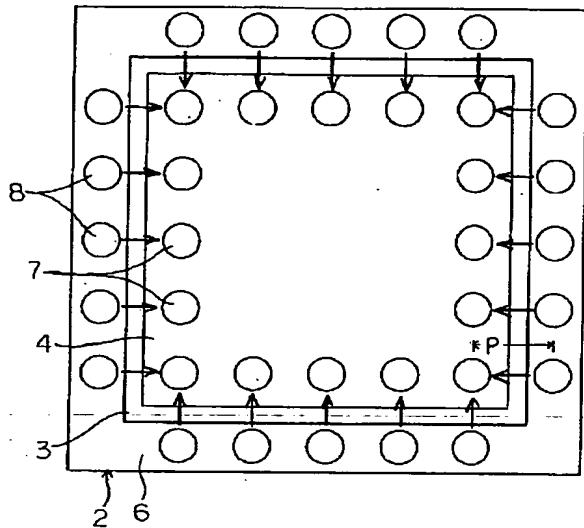
【図4】従来と本発明の薄膜コンデンサのインピーダンス特性を示す図である。

【符号の説明】

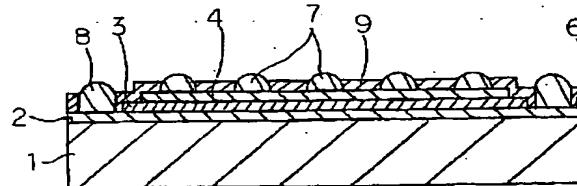
1 . . . 絶縁基板
2 . . . 下側電極層

3 . . . 誘電体層
4 . . . 上側電極層
6 . . . 環状露出部
7 . . . 第1外部端子
8 . . . 第2外部端子

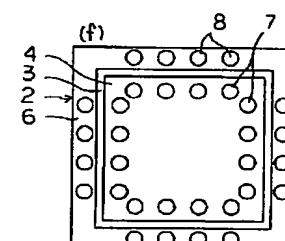
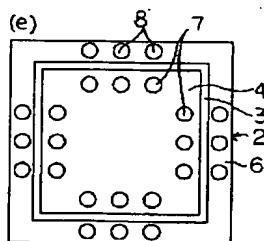
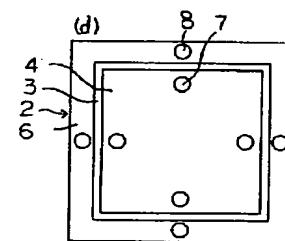
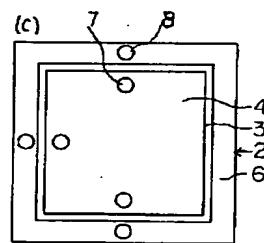
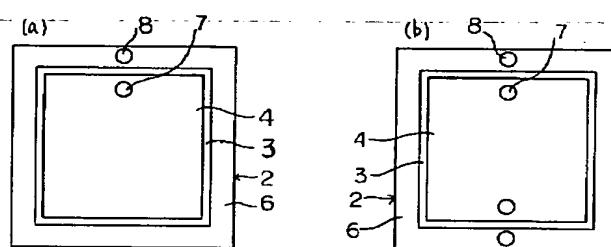
【図1】



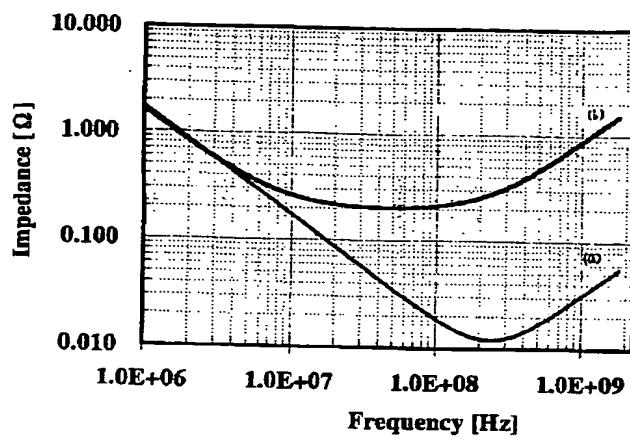
【図2】



【図3】



【図4】



BEST AVAILABLE COPY